

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-320074
(43)Date of publication of application : 04.12.1998

(51)Int.CI.

G06F 1/10
H03K 5/13
H03K 19/0175
H04L 7/00

(21)Application number : 09-127585

(71)Applicant : FUJITSU LTD

(22)Date of filing : 16.05.1997

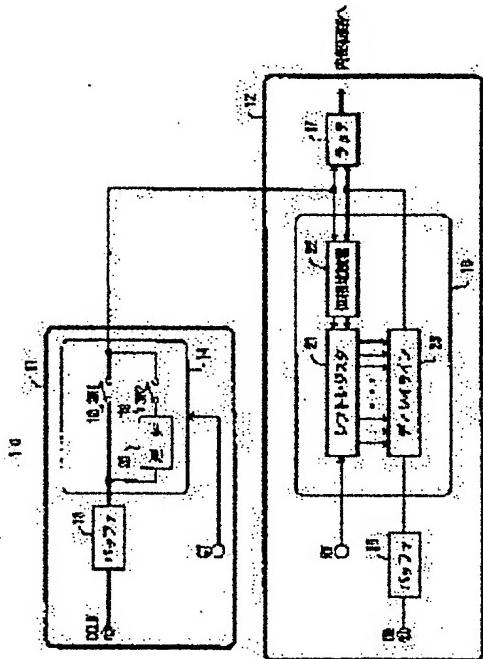
(72)Inventor : NISHIMURA KOICHI

(54) SKEWNESS REDUCTION CIRCUIT AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce skewness between signals by matching the phases of clock signals and input signals in a calibration mode, using an appropriately delayed clock signals in a normal operation mode and reading the input signals to a latch.

SOLUTION: In the normal operation mode, a skewness reduction unit 12 receives the delayed clock signals DCLK from a clock changeover unit 11. The latch 17 latches data signals DQ supplied through a buffer 15 and a delay line 23 by using the clock signals DCLK delayed for a set-up portion as synchronizing signals. The data signals DQ are adjusted in the calibration mode so as to match the phase with the clock signals DCLK without delay. Thus, by using the rising edge of the clock signals DCLK with the delay for the set-up portion as a data read timing, the data signals DQ are read in the normal operation mode.



LEGAL STATUS

[Date of request for examination] 29.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3429977

[Date of registration] 16.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-320074

(43)公開日 平成10年(1998)12月4日

(51)Int.Cl.⁶

識別記号

F I

G 06 F 1/10

G 06 F 1/04

3 3 0 A

H 03 K 5/13

H 03 K 5/13

19/0175

H 04 L 7/00

Z

H 04 L 7/00

H 03 K 19/00

1 0 1 N

審査請求 未請求 請求項の数24 O L (全 20 頁)

(21)出願番号

特願平9-127585

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 西村 幸一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 伊東 忠彦

(22)出願日

平成9年(1997)5月16日

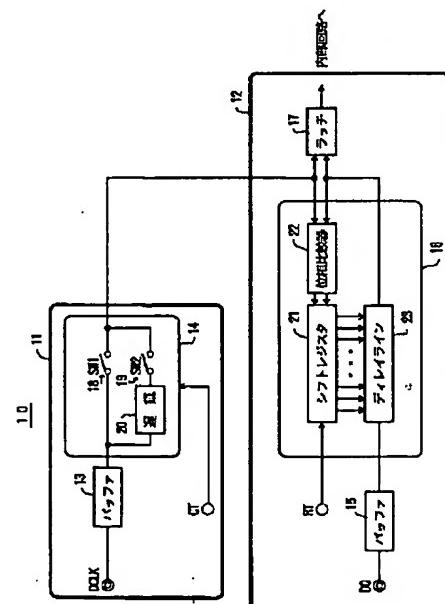
(54)【発明の名称】 スキュー低減回路及び半導体装置

(57)【要約】

【課題】本発明は、信号間のスキューを低減可能な回路を提供することを目的とする。

【解決手段】スキュー低減のための回路は、クロック信号を受け取り、第1のモードではクロック信号を出力し、第2のモードではクロック信号を遅延させた遅延クロック信号を出力するクロック切り替えユニットと、入力信号を受け取り、第1のモードではクロック切り替えユニットからのクロック信号に基づいて入力信号の位相を調整し、第2のモードでは位相の調整された入力信号をクロック切り替えユニットからの遅延クロック信号に基づいてラッチするスキュー低減ユニットを含むことを特徴とする。

本発明によるスキュー低減回路の第1の実施例の構成図



【特許請求の範囲】

【請求項1】クロック信号を受け取り、第1のモードでは該クロック信号を出力し、第2のモードでは該クロック信号を遅延させた遅延クロック信号を出力するクロック切り替えユニットと、

入力信号を受け取り、該第1のモードでは該クロック切り替えユニットからの該クロック信号に基づいて該入力信号の位相を調整し、該第2のモードでは位相の調整された該入力信号を該クロック切り替えユニットからの該遅延クロック信号に基づいてラッチするスキー低減ユニットを含むことを特徴とするスキー低減のための回路。

【請求項2】前記スキー低減ユニットは、前記第1のモードに於て前記クロック信号に基づいて前記入力信号の位相を調整する位相調整ユニットと、前記第2のモードに於て位相の調整された該入力信号を前記遅延クロック信号を同期信号としてラッチするラッチを含むことを特徴とする請求項1記載の回路。

【請求項3】前記クロック切り替えユニットは、前記第2のモードに於て前記ラッチのセットアップ時間分だけ前記クロック信号を遅延させて前記遅延クロック信号を出力することを特徴とする請求項2記載の回路。

【請求項4】前記クロック信号の周波数に関する情報を格納するレジスタを更に含み、前記クロック切り替えユニットは、前記第2のモードに於て該クロック信号を遅延させる遅延量を該情報に基づいて設定することを特徴とする請求項1記載の回路。

【請求項5】前記位相調整ユニットは、遅延素子列により前記入力信号を遅延させて遅延入力信号を生成するディレイラインと、該遅延入力信号と前記クロック信号との位相を比較する位相比較器と、該位相比較器の位相比較結果に応じて該ディレイラインの遅延量を調整する制御回路を含むことを特徴とする請求項2記載の回路。

【請求項6】前記位相調整ユニットは、前記第1のモードに於て、前記入力信号として複数のキャリブレーション・パターンを受け取り、該複数のキャリブレーション・パターンの平均的なパターンと前記クロック信号との位相が合うように該入力信号の位相を調整することを特徴とする請求項5記載の回路。

【請求項7】前記位相調整ユニットは、少なくとも前記ディレイラインの前記遅延素子列の段数に等しい数だけ前記複数のキャリブレーション・パターンを受け取ることを特徴とする請求項6記載の回路。

【請求項8】前記クロック切り替えユニットは、前記第2のモードに於て前記クロック信号を略1/4サイクル遅延させて前記遅延クロック信号を出力することを特徴とする請求項6記載の回路。

【請求項9】前記制御回路は前記ディレイラインの遅延

量を減らす方向にのみ該遅延量を調整可能であり、前記遅延入力信号の位相が前記クロック信号の位相より遅れていることを前記位相比較器が検出する場合に、前記ディレイラインに初期状態として設定された最大の遅延量から遅延量を減らしていくことを特徴とする請求項5記載の回路。

【請求項10】前記位相調整ユニットは、前記第1のモードに於て、前記入力信号として複数のキャリブレーション・パターンを受け取り、該複数のキャリブレーション・パターンのうちで最もタイミングの遅いパターンと前記クロック信号との位相が合うように該入力信号の位相を調整することを特徴とする請求項9記載の回路。

【請求項11】前記位相調整ユニットは、少なくとも前記ディレイラインの前記遅延素子列の段数に等しい数だけ前記複数のキャリブレーション・パターンを受け取ることを特徴とする請求項10記載の回路。

【請求項12】前記位相調整ユニットは、遅延素子列により前記入力信号を遅延させるディレイラインと、

前記クロック信号と該入力信号との位相差を測定して該位相差に対応する遅延量を該ディレイラインに設定する制御回路を含むことを特徴とする請求項2記載の回路。

【請求項13】前記位相調整ユニットは、前記クロック信号に基づいて前記入力信号の位相を調整するために該入力信号を遅延させるディレイラインを含み、該ディレイラインは、論理素子の組み合わせにより構成される遅延素子を含むことを特徴とする請求項2記載の回路。

【請求項14】前記位相調整ユニットは、前記クロック信号に基づいて前記入力信号の位相を調整するために該入力信号を遅延させるディレイラインを含み、該ディレイラインは、容量及び抵抗の組み合わせにより構成される遅延素子を含むことを特徴とする請求項2記載の回路。

【請求項15】前記ディレイラインは前記抵抗の変化で遅延量を調整することを特徴とする請求項13記載の回路。

【請求項16】前記ディレイラインは前記容量の変化で遅延量を調整することを特徴とする請求項13記載の回路。

【請求項17】前記ディレイラインは前記容量及び前記抵抗の変化で遅延量を調整することを特徴とする請求項13記載の回路。

【請求項18】前記スキー低減ユニットは、前記クロック信号を分周する分周器を含み、分周された該クロック信号に基づいて前記入力信号の位相を調整することを特徴とする請求項1記載の回路。

【請求項19】前記位相調整ユニットは、前記クロック信号に基づいて前記入力信号の位相を調整するために該入力信号を遅延させるディレイラインを含み、該ディレイラインは階層化されていることを特徴とする請求項2

記載の回路。

【請求項20】クロック信号を受け取り、第1のモードでは該クロック信号を出力し、第2のモードでは該クロック信号を遅延させた遅延クロック信号を出力するクロック切り替えユニットと、入力信号を受け取り、該第1のモードでは該クロック切り替えユニットからの該クロック信号に基づいて該入力信号の位相を調整し、該第2のモードでは位相の調整された該入力信号を該クロック切り替えユニットからの該遅延クロック信号に基づいてラッチするスキー低減ユニットと、該第2のモードに於て該スキー低減ユニットによってラッチされた該入力信号を受け取る内部回路を含むことを特徴とする入力信号のスキーを低減した半導体記憶装置。

【請求項21】前記第1のモードは、電源投入直後に設定されることを特徴とする請求項20記載の半導体記憶装置。

【請求項22】前記第1のモードは、所定の時間間隔で定期的に設定されることを特徴とする請求項20記載の半導体記憶装置。

【請求項23】前記第1のモードは、セルフリフレッシュ時に設定されることを特徴とする請求項20記載の半導体記憶装置。

【請求項24】前記第1のモードは、パワーダウン・モードから回復した直後に設定されることを特徴とする請求項20記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に半導体装置に関し、詳しくは半導体装置の入出力インターフェースに関する。

【0002】

【従来の技術】半導体装置に於ては、高い周波数の信号を用いてデータを入出力することで、高速な動作を実現することが望まれる。しかしながら、より高速な動作を目指してデータ入出力信号の周波数をより高くしようと、信号周波数を律速する要因が顕在化してくるために、これらの要因を排除していく必要がある。

【0003】

【発明が解決しようとする課題】データ入出力信号の周波数を律速する大きな要因として、信号のスキー即ち信号のタイミングのずれが挙げられる。例えば同期用の入力クロック信号と他の信号との間にスキーが存在すると、クロック信号のタイミングを用いて他の信号を取り込む際に、タイミングのずれにより誤った信号の取り込みが行われる可能性がある。この可能性は信号周波数が高くなるほど大きくなるので、信号間にスキーが存在する場合には、データ入出力信号の周波数を高くして動作速度を上げることが困難になる。

【0004】このような信号間のスキーの原因として

は、信号配線の経路の違いにより生じる信号間のタイミングのずれが挙げられる。即ち各信号線の長さが異なると、あるチップから別のチップに複数の信号を伝送した場合に、受信側のチップに到達するタイミングは各信号間でされることになる。また仮に信号線の長さが同一であっても経路が異なれば、配線容量や配線インダクタンス等の負荷条件が異なることになり、信号伝達の速度が異なってしまう。従って受信側で受信した信号はスキーを含むことになる。

【0005】このような信号間のスキーは、従来のDRAMで使用されていた信号周波数程度では、入力データを取り込むタイミングに十分な余裕があるので、それ程問題にはならなかった。しかし信号周波数が高くなり200MHzを越える辺りから、入力データを取り込むタイミングに比較して信号間のスキーが無視できなくなり、動作速度を上げることが困難になる。

【0006】従って本発明は、信号間のスキーを低減可能な回路を提供することを目的とする。

【0007】

【課題を解決するための手段】請求項1の発明のスキー低減のための回路は、クロック信号を受け取り、第1のモードでは該クロック信号を出力し、第2のモードでは該クロック信号を遅延させた遅延クロック信号を出力するクロック切り替えユニットと、入力信号を受け取り、該第1のモードでは該クロック切り替えユニットからの該クロック信号に基づいて該入力信号の位相を調整し、該第2のモードでは位相の調整された該入力信号を該クロック切り替えユニットからの該遅延クロック信号に基づいてラッチするスキー低減ユニットを含むことを特徴とする。

【0008】請求項2の発明に於ては、請求項1記載の回路に於て、前記スキー低減ユニットは、前記第1のモードに於て前記クロック信号に基づいて前記入力信号の位相を調整する位相調整ユニットと、前記第2のモードに於て位相の調整された該入力信号を前記遅延クロック信号を同期信号としてラッチするラッチを含むことを特徴とする。

【0009】請求項3の発明に於ては、請求項2記載の回路に於て、前記クロック切り替えユニットは、前記第2のモードに於て前記ラッチのセットアップ時間分だけ前記クロック信号を遅延させて前記遅延クロック信号を出力することを特徴とする。請求項4の発明に於ては、請求項1記載の回路に於て、前記クロック信号の周波数に関する情報を格納するレジスタを更に含み、前記クロック切り替えユニットは、前記第2のモードに於て該クロック信号を遅延させる遅延量を該情報に基づいて設定することを特徴とする。

【0010】請求項5の発明に於ては、請求項2記載の回路に於て、前記位相調整ユニットは、遅延素子列により前記入力信号を遅延させて遅延入力信号を生成するデ

ィレイラインと、該遅延入力信号と前記クロック信号との位相を比較する位相比較器と、該位相比較器の位相比較結果に応じて該ディレイラインの遅延量を調整する制御回路を含むことを特徴とする。

【0011】請求項6の発明に於ては、請求項5記載の回路に於て、前記位相調整ユニットは、前記第1のモードに於て、前記入力信号として複数のキャリブレーション・パターンを受け取り、該複数のキャリブレーション・パターンの平均的なパターンと前記クロック信号との位相が合うように該入力信号の位相を調整することを特徴とする。

【0012】請求項7の発明に於ては、請求項6記載の回路に於て、前記位相調整ユニットは、少なくとも前記ディレイラインの前記遅延素子列の段数に等しい数だけ前記複数のキャリブレーション・パターンを受け取ることを特徴とする。請求項8の発明に於ては、請求項6記載の回路に於て、前記クロック切り替えユニットは、前記第2のモードに於て前記クロック信号を略1/4サイクル遅延させて前記遅延クロック信号を出力することを特徴とする。

【0013】請求項9の発明に於ては、請求項5記載の回路に於て、前記制御回路は前記ディレイラインの遅延量を減らす方向にのみ該遅延量を調整可能であり、前記遅延入力信号の位相が前記クロック信号の位相より遅れていることを前記位相比較器が検出する場合に、前記ディレイラインに初期状態として設定された最大の遅延量から遅延量を減らしていくことを特徴とする。

【0014】請求項10の発明に於ては、請求項9記載の回路に於て、前記位相調整ユニットは、前記第1のモードに於て、前記入力信号として複数のキャリブレーション・パターンを受け取り、該複数のキャリブレーション・パターンのうちで最もタイミングの遅いパターンと前記クロック信号との位相が合うように該入力信号の位相を調整することを特徴とする。

【0015】請求項11の発明に於ては、請求項10記載の回路に於て、前記位相調整ユニットは、少なくとも前記ディレイラインの前記遅延素子列の段数に等しい数だけ前記複数のキャリブレーション・パターンを受け取ることを特徴とする。請求項12の発明に於ては、請求項2記載の回路に於て、前記位相調整ユニットは、遅延素子列により前記入力信号を遅延させるディレイラインと、前記クロック信号と該入力信号との位相差を測定して該位相差に対応する遅延量を該ディレイラインに設定する制御回路を含むことを特徴とする。

【0016】請求項13の発明に於ては、請求項2記載の回路に於て、前記位相調整ユニットは、前記クロック信号に基づいて前記入力信号の位相を調整するために該入力信号を遅延させるディレイラインを含み、該ディレイラインは、論理素子の組み合わせにより構成される遅延素子を含むことを特徴とする。請求項14の発明に於

ては、請求項2記載の回路に於て、前記位相調整ユニットは、前記クロック信号に基づいて前記入力信号の位相を調整するために該入力信号を遅延させるディレイラインを含み、該ディレイラインは、容量及び抵抗の組み合わせにより構成される遅延素子を含むことを特徴とする。

【0017】請求項15の発明に於ては、請求項13記載の回路に於て、前記ディレイラインは前記抵抗の変化で遅延量を調整することを特徴とする。請求項16の発明に於ては、請求項13記載の回路に於て、前記ディレイラインは前記容量の変化で遅延量を調整することを特徴とする。請求項17の発明に於ては、請求項13記載の回路に於て、前記ディレイラインは前記容量及び前記抵抗の変化で遅延量を調整することを特徴とする。

【0018】請求項18の発明に於ては、請求項1記載の回路に於て、前記スキー低減ユニットは、前記クロック信号を分周する分周器を含み、分周された該クロック信号に基づいて前記入力信号の位相を調整することを特徴とする。請求項19の発明に於ては、請求項2記載の回路に於て、前記位相調整ユニットは、前記クロック信号に基づいて前記入力信号の位相を調整するために該入力信号を遅延させるディレイラインを含み、該ディレイラインは階層化されていることを特徴とする。

【0019】請求項20の発明に於ては、半導体記憶装置は、クロック信号を受け取り、第1のモードでは該クロック信号を出力し、第2のモードでは該クロック信号を遅延させた遅延クロック信号を出力するクロック切り替えユニットと、入力信号を受け取り、該第1のモードでは該クロック切り替えユニットからの該クロック信号に基づいて該入力信号の位相を調整し、該第2のモードでは位相の調整された該入力信号を該クロック切り替えユニットからの該遅延クロック信号に基づいてラッチするスキー低減ユニットと、該第2のモードに於て該スキー低減ユニットによってラッチされた該入力信号を受け取る内部回路を含むことを特徴とする。

【0020】請求項21の発明に於ては、請求項20記載の半導体記憶装置に於て、前記第1のモードは、電源投入直後に設定されることを特徴とする。請求項22の発明に於ては、請求項20記載の半導体記憶装置に於て、前記第1のモードは、所定の時間間隔で定期的に設定されることを特徴とする。請求項23の発明に於ては、請求項20記載の半導体記憶装置に於て、前記第1のモードは、セルフリフレッシュ時に設定されることを特徴とする。

【0021】請求項24の発明に於ては、請求項20記載の半導体記憶装置に於て、前記第1のモードは、パワーダウン・モードから回復した直後に設定されることを特徴とする。請求項1乃至19の発明に於ては、キャリブレーション・モードである第1のモードに於てクロック信号と入力信号との位相を合わせ、通常動作モードで

ある第2のモードに於ては適切なセットアップ分だけ遅延したクロック信号を用いて入力信号をラッチに読み込むことが出来る。

【0022】この際、キャリブレーション・パターンのうちで最もタイミングの遅いキャリブレーション・パターンに合わせて入力信号の位相を調整する場合には、通常動作モード時にタイミングの遅い信号が入力されても問題なくデータ読み込みを行ふことが出来る。またキャリブレーション・パターンのうちで平均的なタイミングのキャリブレーション・パターンに合わせて入力信号の位相を調整する場合には、通常動作モード時に1/4サイクルのセットアップ時間を探ることで、データ切り替わりの中心でデータ読み込みを行ふことが出来る。

【0023】またクロック信号と入力信号との位相差を測定してその位相差に対応する遅延量をディレイラインに設定する構成とすれば、キャリブレーション・パターンを一回だけ入力すれば十分である。これによりクロック信号と入力信号間のスキーを低減して、信頼性のある入力信号読み込みを行ふことが出来る。

【0024】請求項20乃至24の発明に於ては、半導体記憶装置に於て、適切なタイミングでキャリブレーションを実行することにより、クロック信号と入力信号間のスキーを低減して、信頼性のある入力信号読み込みを行ふことが出来る。

【0025】

【発明の実施の形態】以下に本発明の実施例を添付の図面を用いて説明する。図1は、本発明によるスキー低減回路10の第1の実施例を示す。図1のスキー低減回路10は、クロック切り替えユニット11とスキー低減ユニット12を含む。図1のスキー低減回路10は、半導体装置の入力部に用いられるものである。図1に於て、スキー低減ユニット12はデータ信号DQ入力用の一つのピンに対してのみ示されているが、複数のスキー低減ユニット12が複数の信号入力ピンに対して設けられていてよい。

【0026】クロック切り替えユニット11は、バッファ13と遅延切り替えユニット14を含み、遅延切り替えユニット14は、スイッチ18及び19と遅延ユニット20を含む。スキー低減のためのキャリブレーション・モードに於ては、バッファ13に入力されたデータ信号同期用のクロック信号DCLKを、スイッチ18を介してスキー低減ユニット12に供給する。通常動作モードに於ては、バッファ13に入力されたクロック信号DCLKは、遅延ユニット20で所定時間遅延され、スイッチ19を介してスキー低減ユニット12に供給される。キャリブレーション・モードと通常動作モードとの間のモード切り替えは、遅延切り替えユニット14に供給される制御信号CTによって、スイッチ18及び19の開閉を制御することで行う。即ち、キャリブレーション・モードに於ては、スイッチ18及び19はオン

及びオフとなり、通常動作モードに於ては、スイッチ18及び19はオフ及びオンとなる。

【0027】スキー低減ユニット12は、バッファ15、位相調整ユニット16、及びラッチ17を含む。位相調整ユニット16は、シフトレジスタ21、位相比較器22、及びディレイライン23を含む。キャリブレーション・モードに於ては、スキー低減ユニット12は、クロック切り替えユニット11からクロック信号DCLKを受け取り、更にデータ信号DQを外部から受け取る。スキー低減ユニット12の位相調整ユニット16は、クロック信号DCLKとデータ信号DQとの位相を比較して、両信号の位相が等しくなるように、データ信号DQの位相を調整する。この際データ信号DQとしては、複数のキャリブレーション・パターンを与え、最もタイミングの遅いデータ信号DQとクロック信号DCLKとの位相が合うように、データ信号DQの位相を調整する。

【0028】即ち、P1乃至Pnの異なるキャリブレーション・パターンをデータ信号DQとして与える。この複数のキャリブレーション・パターンP1乃至Pnのうちで最もタイミングの遅いパターンをPmとする。位相調整ユニット16に於て、ディレイライン23はキャリブレーション・パターンP1乃至Pnを遅延させ、位相比較器22がキャリブレーション・パターンP1乃至Pnとクロック信号DCLKとの位相を比較する。シフトレジスタ21はディレイライン23の遅延量を調整するための回路であり、位相比較器22による位相比較結果に応じて、ディレイライン23の遅延量を調整する。この調整によって、キャリブレーション・パターンPmとクロック信号DCLKとの位相が合うように、ディレイライン23の遅延量が決定される。

【0029】図2は、位相調整ユニット16による位相調整を説明するためのタイミングチャートである。キャリブレーション・パターンP1乃至P3が示され、このうちでキャリブレーション・パターンP2が最もタイミングが遅れている。位相調整ユニット16による位相調整に於ては、図2の点線で示されるように、最もタイミングが遅れているキャリブレーション・パターンP2にクロック信号DCLKの位相が合うように、ディレイライン23の遅延量が調整される。

【0030】なおここで複数のキャリブレーション・パターンP1乃至Pnは、異なった信号パターンであり、信号パターンが異なると、隣接する信号入力ピン間の容量結合の影響や信号出力側の信号駆動能力等の影響で、受信した信号の切り替わりのタイミングが信号毎に若干異なることになる。第1の実施例に於ては、キャリブレーション・モードに於て最もタイミングの遅いキャリブレーション・パターンPmに位相を合わせることで、通常動作モード時にタイミングの遅い信号が入力されても、クロック信号DCLKで問題なくデータ読み込みが

出来る。

【0031】図1を参照して、通常動作モードでは、スキーー低減ユニット12は、遅延されたクロック信号DCLKをクロック切り替えユニット11から受け取る。スキーー低減ユニット12のラッチ17は、バッファ15及びディレイライン23を介して供給されるデータ信号DQを、セットアップ分だけ遅延されたクロック信号DCLKを同期信号として用いてラッチする。ここでディレイライン23から供給されるデータ信号DQは、遅延の無いクロック信号DCLKと位相が合うようにキャリブレーション・モードで調整されている。従って、セットアップ分の遅延を有するクロック信号DCLKの例えれば立ち上がりエッジをデータ読み込みタイミングとして用いることで、通常動作モードに於てデータ信号DQの読み込みを行うことが出来る。ラッチ17に読み込まれたデータは、内部回路へ供給される。

【0032】上述のように、図1の第1の実施例のスキーー低減回路10を用いれば、キャリブレーション・モードに於てクロック信号DCLKとデータ信号DQとの位相を合わせ、通常動作モードに於てはセットアップ分だけ遅延したクロック信号DCLKを用いてデータ信号DQを読み込むことが出来る。この際、キャリブレーション・パターンのうちで最もタイミングの遅いキャリブレーション・パターンに合わせてデータ信号DQの位相を調整するので、通常動作モード時にタイミングの遅い信号が入力されても問題なくデータ読み込みを行うことが出来る。なお図1のスキーー低減回路10は、例えば半導体記憶装置に於て、データ信号だけでなくアドレス信号等の他の信号のスキーー低減に用いてよいことは明らかである。

【0033】図1の位相調整ユニット16は、半導体装置でクロック信号の位相調整に用いられるDLS回路と同様の構成である。このようなDLS回路に於ては、DLS回路内のディレイラインの遅延量を、進む方向と遅らせる方向との両方向に調節可能である。それに対して図1の位相調整ユニット16は、遅延を初期状態の遅延量から小さくしていく機能のみを有している。

【0034】図3は、図1の位相調整ユニット16のシフトレジスタ21の回路構成を示す回路図である。シフトレジスタ21は、NOR回路31-0乃至31-n、インバータ32-1乃至32-n、NAND回路33-1乃至33-n、及びNMOSトランジスタ34-1乃至34-nを含む。リセット信号RTがLOWにされると、シフトレジスタ21はリセットされる。即ち、リセット信号RTがLOWになると、NAND回路33-1乃至33-nの出力がHIGHになり、インバータ32-1乃至32-nの出力がLOWになる。NAND回路33-1乃至33-nとインバータ32-1乃至32-nとの各ペアは、互いの出力を互いの入力とすることでラッチを形成する。従って、上記リセット信号RTで設

定された初期状態は、リセット信号RTがHIGHに戻っても保持される。

【0035】この初期状態では、図3に示されるように、NOR回路31-nの出力QnはHIGHであり、NOR回路31-0乃至31-n-1の出力Q0乃至Qn-1はLOWである。即ち出力Q0だけがHIGHである。遅延量を小さくする必要がある場合には、信号線A及びBに交互にHIGHパルスを供給する。まず信号線AにHIGHパルスが供給されると、NMOSトランジスタ34-nがオンになる。NAND回路33-nの出力がグランドに接続されて、強制的にHIGHからLOWに変化させられる。従ってインバータ32-nの出力はHIGHになり、この状態がNAND回路33-nとインバータ32-nからなるラッチに保持される。またこの時出力QnはHIGHからLOWに変化し、出力Qn-1はLOWからHIGHに変化する。従ってこの状態では、出力Qn-1のみがHIGHになる。

【0036】次に信号線BにHIGHパルスが供給されると、NMOSトランジスタ34-n-1がONになる。NAND回路33-n-1の出力がグランドに接続されて、強制的にHIGHからLOWに変化させられる。従ってインバータ32-n-1の出力はHIGHになり、この状態がNAND回路33-n-1とインバータ32-n-1からなるラッチに保持される。またこの時出力Qn-1はHIGHからLOWに変化し、出力Qn-2はLOWからHIGHに変化する。従ってこの状態では、出力Qn-2だけがHIGHになる。

【0037】このように信号線A及びBに交互にHIGHパルスを供給することで、出力Q0乃至Qnのうちで一つだけHIGHである出力Qxを一つずつ左にずらしていくことが出来る。これらの出力信号Q1乃至Qnをディレイライン23に供給することで、信号の遅延量を調整する。なお信号線A及びBに交互にHIGHパルスを供給するのは位相比較器22である。位相比較器22は、クロック信号DCLKとディレイライン23の出力を比較して、クロック信号DCLKの方が位相が進んでいると判断する場合に、ディレイライン23に於ける遅延量を小さくするように信号線A及びBに交互にパルスを供給する。以下に、位相比較器22の構成について説明する。

【0038】図4は、図1の位相調整ユニット16の位相比較器22の回路構成を示す回路図である。位相比較器22は、NAND回路41乃至45と、インバータ46乃至49と、NAND回路50及び51と、インバータ52及び53と、バイナリカウンタ54を含む。NAND回路44及び45はラッチを構成し、図4に示されるように初期状態では2つの入力がLOWであり、2つの出力はHIGHである。クロック信号DCLKの立ち上がりエッジが、ディレイライン23からのデータ信号DQの立ち上がりエッジより早い場合、NAND回路4

3の出力の方がNAND回路4 2の出力よりも先にHIGHになる。従って、NAND回路4 5の出力がLOWになり、NAND回路4 4の出力はHIGHのままである。この状態はラッチされるので、その後データ信号DQの立ち上がりエッジによってNAND回路4 2の出力がHIGHになっても状態は変化しない。従って、クロック信号DCLKの方が位相が進んでいる場合には、インバータ4 9の出力はHIGHになる。逆にデータ信号DQの方が位相が進んでいる場合には、インバータ4 9の出力はLOWのままである。

【0039】ここでインバータ4 8からの信号は、適切なタイミングでNAND回路4 2及び4 3の出力を同時にLOWにすることで、ラッチの状態を初期状態に戻す役目を果たす。このような構成にしないと、データ信号DQの方が位相が進んでいる場合に、NAND回路4 2の出力がHIGHになり続いてNAND回路4 3の出力がHIGHになった後、データ信号DQがクロック信号DCLKより先にLOWに戻ることでラッチの状態が逆転され、NAND回路4 5の出力がLOWになってしまふ。これを避けるために、NAND回路4 2及び4 3の出力を同時にLOWにすることが行われる。

【0040】インバータ4 8の出力信号は、バイナリカウンタ5 4に供給される。バイナリカウンタ5 4の2つの出力は、クロック信号DCLKの1サイクル毎に交互にHIGHになる信号である。バイナリカウンタ5 4は、NAND回路6 1乃至6 8と、インバータ6 9乃至7 1を含む。その動作は従来技術の範囲内であるので、説明を省略する。バイナリカウンタ5 4の2つの出力は、NAND回路5 0及び5 1の一方の入力に供給される。

【0041】NAND回路5 0及び5 1のもう一方の入力には、インバータ4 9からの出力が供給される。従って、クロック信号DCLKの方がデータ信号DQより位相が進んでいる場合には、NAND回路5 0及び5 1の出力を反転するインバータ5 2及び5 3からは、HIGHパルスが交互に出力されることになる。逆にデータ信号DQの方が位相が進んでいる場合には、インバータ5 2及び5 3の出力は常にLOWである。

【0042】インバータ5 2及び5 3からの出力が、図3のシフトレジスタ2 1の信号線A及びBに供給されて、出力Q1乃至Qnのうちで一つだけHIGHである出力Qxを一つずつ左にずらしていく。これらの出力信号Q1乃至Qnをディレイライン2 3に供給することで、信号の遅延量を調整する。図5は、ディレイライン2 3の回路構成を示す回路図である。

【0043】ディレイライン2 3は、インバータ8 0、NAND回路8 1-1乃至8 1-n、NAND回路8 2-1乃至8 2-n、及びインバータ8 3-1乃至8 3-nを含む。ここでNAND回路8 2-1乃至8 2-n及びインバータ8 3-1乃至8 3-nが、遅延素子列を構

成する。NAND回路8 1-1乃至8 1-nの一方の入力には、データ信号DQの反転信号がインバータ8 0から供給され、もう一方の入力には信号Q1乃至Qnが供給される。信号Q1乃至Qnのうちで、一つだけHIGHである信号をQxとする。

【0044】NAND回路8 1-1乃至8 1-nのうちでNAND回路8 1-x以外のものは、一方の入力がLOWであるから、出力はHIGHレベルになる。このHIGHレベルを一方の入力に受け取るNAND回路8 2-1乃至8 2-nのうちでNAND回路8 2-x以外のものは、他方の入力に対するインバータとして機能する。

【0045】従って、NAND回路8 2-nからインバータ8 3-x+1までの遅延素子列は、NAND回路8 2-nの一方の入力に与えられる固定のHIGHレベルを伝達する。従って、NAND回路8 2-xの一方の入力はHIGHである。NAND回路8 2-xのもう一方の入力には、インバータ8 0及びNAND回路8 1-xを介して、データ信号DQが供給される。従って、NAND回路8 2-xからインバータ8 3-1までの遅延素子列は、データ信号DQを遅延させながら伝播させ、遅延された信号が出力信号として得られる。この場合の出力信号は、入力信号に対して、遅延素子x段分の遅延時間だけ遅れることになる。

【0046】図3のシフトレジスタ2 1の説明で述べたように、信号Q1乃至Qnのうちで唯一HIGHである信号Qxは、 $1 \leq x \leq n$ の間で位置をシフトすることができる。従って、図5のディレイライン2 3を用いれば、データ信号DQの遅延時間を調整することができる。以上説明されたシフトレジスタ2 1、位相比較器2 2、及びディレイライン2 3を用いれば、図1のスキュー低減回路1 0に於て、キャリブレーション・パターンP1乃至Pnが入力されたときに、ディレイライン2 3の遅延量を最大遅延量から順次小さくしていくことによって、最もタイミングの遅いキャリブレーション・パターンPmに対して、クロック信号DCLKの位相を合わせることが出来る。なおこの際、最もタイミングの遅いキャリブレーション・パターンPmに対してクロック信号DCLKの位相が合っていることを確実にするためには、キャリブレーション・パターンP1乃至Pnを繰り返して何回も入力する必要がある。例えば、適切な遅延量が図5の遅延素子段の一段分の遅延量に等しいとすると、キャリブレーション・パターンを最低でも遅延素子の段数に等しい回数だけ供給して、信号Q1乃至Qnのうちで唯一HIGHである信号を、初期状態に於ける信号Qnから信号Q1まで順次シフトさせる必要がある。

【0047】図6は、本発明によるスキュー低減回路の第2の実施例を示す構成図である。図6に於て、図1と同一の構成要素は同一の番号で参照され、その説明は省略する。図6のスキュー低減回路1 0 Aは、クロック切り替えユニット1 1 Aとスキュー低減ユニット1 2を含

む。

【0048】クロック切り替えユニット11Aは、バッファ13と遅延切り替えユニット14Aを含み、遅延切り替えユニット14Aは、スイッチ18及び19と遅延ユニット20に加えて、遅延ユニット24、26、及び28と、スイッチ25、27、及び29を含む。スキー低減のためのキャリブレーション・モードに於ては、バッファ13に入力されたデータ信号同期用のクロック信号DCLKを、スイッチ18を介してスキー低減ユニット12に供給する。通常動作モードに於ては、バッファ13に入力されたクロック信号DCLKは、遅延ユニット20、24、26、及び28の何れか一つを選択された遅延ユニットで所定時間遅延され、スイッチ19、25、27、及び29の対応するスイッチを介してスキー低減ユニット12に供給される。キャリブレーション・モードと通常動作モードとの間のモード切り替え、及び通常動作モードでの遅延ユニット及びスイッチ選択は、遅延切り替えユニット14Aに供給される制御信号CTによって行う。

【0049】図6のスキー低減回路10Aに於ては、通常動作モードで用いるクロック信号DCLKの遅延量であるセットアップ量を、複数の遅延ユニット20、24、26、及び28の何れか一つを選択して設定できる。従って、入力されるクロック信号DCLK及びデータ信号DQの周波数等の条件に応じて、適切なセットアップ量を選択して用いることが出来る。

【0050】図7は、本発明によるスキー低減回路の第3の実施例を示す。図7に於て図1と同一の構成要素は同一の番号で参照され、その説明は省略する。図7のスキー低減回路10Bは、クロック切り替えユニット11Bとスキー低減ユニット12Bを含む。クロック切り替えユニット11Bは、バッファ13と遅延切り替えユニット14Bを含み、遅延切り替えユニット14Bは、スイッチ18及び19と1/4DLLユニット101を含む。スキー低減のためのキャリブレーション・モードに於ては、バッファ13に入力されたデータ信号同期用のクロック信号DCLKを、スイッチ18を介してスキー低減ユニット12に供給する。通常動作モードに於ては、バッファ13に入力されたクロック信号DCLKは、1/4DLLユニット90で1/4サイクル(位相にして90度)分だけ遅延され、スイッチ19を介してスキー低減ユニット12に供給される。キャリブレーション・モードと通常動作モードとの間のモード切り替えは、遅延切り替えユニット14に供給される制御信号CTによって、スイッチ18及び19の開閉を制御することで行う。

【0051】スキー低減ユニット12は、バッファ15、位相調整ユニット16B、及びラッチ17を含む。位相調整ユニット16Bは、シフトレジスタ21B、位相比較器22B、及びディレイライン23を含む。位相

調整ユニット16Bは、後程説明するように、ディレイライン23の遅延量を進む方向と遅らせる方向との両方向に調節可能なDLS回路である。

【0052】キャリブレーション・モードに於ては、スキー低減ユニット12の位相調整ユニット16Bは、クロック信号DCLKとデータ信号DQとの位相を比較して、両信号の位相が等しくなるように、データ信号DQの位相を調整する。この際データ信号DQとしては、複数のキャリブレーション・パターンを与え、平均的なタイミングのデータ信号DQとクロック信号DCLKとの位相が合うように、データ信号DQの位相を調整する。

【0053】即ち、P1乃至Pnの異なるキャリブレーション・パターンをデータ信号DQとして与える。この複数のキャリブレーション・パターンP1乃至Pnのうちで平均的なタイミングのパターンをPaとする。位相調整ユニット16Bに於て、ディレイライン23はキャリブレーション・パターンP1乃至Pnを遅延させ、位相比較器22Bがキャリブレーション・パターンP1乃至Pnとクロック信号DCLKとの位相を比較する。シフトレジスタ21Bは、位相比較器22Bによる位相比較結果に応じて、ディレイライン23の遅延量を調整する。この調整によって、平均的なタイミングのキャリブレーション・パターンPaとクロック信号DCLKとの位相が合うように、ディレイライン23の遅延量を決定する。

【0054】位相調整ユニット16Bは、位相が進む方向と遅れる方向との両方向にディレイライン23の遅延量を調整可能である。従って複数のキャリブレーション・パターンP1乃至Pnを与えて各キャリブレーション・パターンに対して遅延量調整を行えば、調整が終了した時には、ディレイライン23の遅延量は、複数のキャリブレーション・パターンP1乃至Pnに対する遅延量の平均に近い量となっているはずである。従って、複数のキャリブレーション・パターンP1乃至Pnを用いた調整が終了した時点で、平均的なタイミングのキャリブレーション・パターンPaに対して、クロック信号DCLKの位相がある程度合っている確率が高い。

【0055】平均的なタイミングのキャリブレーション・パターンPaに対してクロック信号DCLKの位相が合っている確率を高めるためには、複数のキャリブレーション・パターンP1乃至Pnをランダムな順序で供給する必要がある。また例えば、適切な遅延量がディレイライン23の遅延素子段の一段分の遅延量に等しいとすると、キャリブレーション・パターンを最低でも遅延素子の段数に等しい回数だけ供給して、初期状態に於ける全段遅延から一段遅延まで順次遅延量を少なくする必要がある。

【0056】図7を参照して、通常動作モードでは、スキー低減ユニット12Bは、1/4サイクル遅延され

たクロック信号DCLKをクロック切り替えユニット1Bから受け取る。スキー低減ユニット12Bのラッチ17は、バッファ15及びディレイライン23を介して供給されるデータ信号DQを、1/4サイクルのセットアップ分だけ遅延されたクロック信号DCLKを同期信号として用いてラッチする。

【0057】ここで1/4サイクルの遅延は、ディレイライン23から供給されるデータ信号DQの平均的なタイミングと遅延の無いクロック信号DCLKとの位相が合うように調整されている条件の基では、適切なセットアップ時間を提供する。特にクロック信号DCLKの立ち上がりエッジと立ち下がりエッジとの両方のエッジで同期のタイミングを取るシステムに於ては、1/4サイクル分の遅延は、データ切り替わりの中心にデータ読み込みのタイミングを位置させることになり、都合がよい。

【0058】上述のように、図7の第3の実施例のスキー低減回路10Bを用いれば、キャリブレーション・モードに於てクロック信号DCLKとデータ信号DQとの位相を合わせ、通常動作モードに於ては1/4サイクルのセットアップ分だけ遅延したクロック信号DCLKを用いてデータ信号DQを読み込むことが出来る。この際、キャリブレーション・パターンのうちで平均的なタイミングのキャリブレーション・パターンに合わせてデータ信号DQの位相を調整するので、通常動作モード時に1/4サイクルのセットアップ時間を設けることで、適切なデータ読み込みを行なうことが出来る。

【0059】図8は、図7のクロック切り替えユニット11Bの1/4DLLユニット90の構成を示す構成図である。図8の1/4DLLユニット90は、分周器91、位相比較器92、シフトレジスタ93、及び同一のディレイライン94乃至98を含む。クロック信号DCLKは、分周器91に入力され分周される。分周された信号は、位相比較器92に直接供給されると共に、ディレイライン95乃至98を介して位相比較器92に供給される。ディレイライン95乃至98の各々は同一の遅延時間Tの遅延を与える、合計の遅延時間は4Tとなる。位相比較器92は、遅延時間4Tの分周信号と無遅延の分周信号とを位相比較して、両信号の位相が等しくなるようにシフトレジスタ93を制御する。位相調整が完了した状態では、遅延時間4Tの分周信号は、無遅延の分周信号と360度位相がずれることになる。

【0060】クロック信号DCLKは、シフトレジスタ93によってディレイライン95乃至98と同一の遅延量を持つように制御されるディレイライン94に供給される。ディレイライン94の遅延時間はTであり、遅延時間4Tが360度に対応するので、ディレイライン94を通過したクロック信号DCLKは、90度即ち1/4サイクル分だけ位相が遅れることになる。

【0061】図9は、図7のシフトレジスタ21Bの回

路図を示す。図9のシフトレジスタ21Bは、NOR回路101-0乃至101-n、インバータ102-1乃至102-n、NAND回路103-1乃至103-n、NMOSトランジスタ104-1乃至104-n、NMOSトランジスタ105-1乃至105-n、NMOSトランジスタ106-1乃至106-n、及びNMOSトランジスタ107-1乃至107-nを含む。リセット信号RTがLOWになると、シフトレジスタ21Bはリセットされる。即ち、リセット信号RTがLOWになると、NAND回路103-1乃至103-nの出力がHIGHになり、インバータ102-1乃至102-nの出力がLOWになる。NAND回路103-1乃至103-nとインバータ102-1乃至102-nとの各ペアは、互いの出力を互いの入力としてラッチを形成する。従って、上記リセット信号RTで設定された初期状態は、リセット信号RTがHIGHに戻っても保持される。

【0062】この初期状態では、図9に示されるように、NOR回路101-nの出力QnはHIGHであり、NOR回路101-0乃至101-n-1の出力Q0乃至Qn-1はLOWである。即ち出力QnだけがHIGHである。遅延量を小さくする必要がある場合には、信号線A及びBに交互にHIGHパルスを供給する。まず信号線BにHIGHパルスが供給されると、NMOSトランジスタ105-nがオンになる。このときNMOSトランジスタ107-nがオンであるので、NAND回路103-nの出力がグランドに接続されて、強制的にHIGHからLOWに変化させられる。従ってインバータ102-nの出力はHIGHになり、この状態がNAND回路103-nとインバータ102-nからなるラッチに保持される。またこの時出力QnはHIGHからLOWに変化し、出力Qn-1はLOWからHIGHに変化する。従ってこの状態では、出力Qn-1のみがHIGHになる。

【0063】次に信号線AにHIGHパルスが供給されると、NMOSトランジスタ105-n-1がオンになる。このときNMOSトランジスタ107-n-1がオンになっているので、NAND回路103-n-1の出力がグランドに接続されて、強制的にHIGHからLOWに変化させられる。従ってインバータ102-n-1の出力はHIGHになり、この状態がNAND回路103-n-1とインバータ102-n-1からなるラッチに保持される。またこの時出力Qn-1はHIGHからLOWに変化し、出力Qn-2はLOWからHIGHに変化する。従ってこの状態では、出力Qn-2だけがHIGHになる。

【0064】このように信号線A及びBに交互にHIGHパルスを供給することで、出力Q0乃至Qnのうちで一つだけHIGHである出力Qxを一つずつ左にずらしていくことが出来る。遅延量を大きくする必要がある場

合には、信号線C及びDに交互にHIGHパルスを供給する。この場合の動作は、上述の動作と逆であるので、詳細な説明は省略する。

【0065】これらの出力信号Q1乃至Qnを図5に示したディレイライン23に供給することで、信号の遅延量を大きくする方向及び小さくする方向に自由に調整することが出来る。なお信号線A乃至DにHIGHパルスを供給するのは位相比較器22Bである。位相比較器22Bは、クロック信号DCLKとディレイライン23の出力を比較して、クロック信号DCLKの方が位相が進んでいると判断する場合に、ディレイライン23に於ける遅延量を小さくするように信号線A及びBに交互にパルスを供給する。逆にクロック信号DCLKの方が位相が遅れていると判断する場合には、ディレイライン23に於ける遅延量を大きくするように信号線C及びDに交互にパルスを供給する。以下に、位相比較器22Bの構成について説明する。

【0066】図10は、位相比較器22Bの回路構成を示す回路図である。図10に於て図4と同一の構成要素は同一の番号で参照され、その説明は省略する。位相比較器22Bは、図4の位相比較器22に加えて、インバータ55、NAND回路56及び57、及びインバータ58及び59を含む。図4の場合と同様に、クロック信号DCLKの方がデータ信号DQより位相が進んでいる場合には、インバータ52及び53からHIGHパルスが交互に出力される。逆にデータ信号DQの方が位相が進んでいる場合には、インバータ58及び59からHIGHパルスが交互に出力されることになる。

【0067】インバータ52及び53からの出力が、図9のシフトレジスタ21Bの信号線A及びBに供給されて、出力Q1乃至Qnのうちで一つだけHIGHである出力Qxを一つずつ左にずらしていく。またインバータ58及び59からの出力が、信号線C及びDに供給されて、出力Q1乃至Qnのうちで一つだけHIGHである出力Qxを一つずつ右にずらしていく。これらの出力信号Q1乃至Qnをディレイライン23に供給することで、信号の遅延量を調整する。

【0068】以上説明されたシフトレジスタ21B、位相比較器22B、及びディレイライン23を用いれば、図7のスキーー低減回路10Bに於て、キャリブレーション・パターンP1乃至Pnが入力されたときに、平均的なタイミングのキャリブレーション・パターンPaに対して、クロック信号DCLKの位相を合わせることが出来る。

【0069】図11は、本発明によるスキーー低減回路の第4の実施例を示す構成図である。図11に於て、図6と同一の構成要素は同一の番号で参照され、その説明は省略する。図11のスキーー低減回路10Cは、クロック切り替えユニット11Aとスキーー低減ユニット12Cを含む。クロック切り替えユニット11Aは、図6

の第2の実施例のクロック切り替えユニット11Aと同一である。スキーー低減ユニット12Cは、第1及び第2の実施例のスキーー低減ユニット12と、位相調整ユニット16Cのみが異なる。

【0070】位相調整ユニット16Cは、シフトレジスタ21Cとディレイライン23Cを含む。シフトレジスタ21Cは、キャリブレーション・モードに於て、クロック切り替えユニット11Aから供給されるクロック信号DCLKとバッファ15から供給されるデータ信号DQとを比較して、ディレイライン23Cの遅延量を決定する。この際、入力するキャリブレーション・パターンは一種類であり、しかも図6の位相調整ユニット16のようにフィードバックループによる制御で位相調節するのではなく、一回の位相比較によってディレイライン23Cの遅延量を決定する。

【0071】図12は、図11のシフトレジスタ21Cの回路構成を示す回路図である。図12のシフトレジスタ21Cは、NOR回路110-0乃至110-n、NAND回路111-1乃至111-n、NAND回路112-1乃至112-n、複数のNAND回路113、NAND回路114-1乃至114-n、NAND回路115-1乃至115-n、NAND回路116-1乃至116-n、インバータ117-1乃至117-n-1、NAND回路118、NOR回路119、及びインバータ120乃至122を含む。

【0072】クロック信号DCLKは、信号線S1を伝播する。データ信号DQは、信号線S2を、NAND回路116-1乃至116-nとインバータ117-1乃至117-n-1が構成する遅延素子列により遅延されながら伝播する。クロック信号DCLKの方が位相が遅れているので、NAND回路114-1及び115-1が構成するラッチは、データ信号DQの立ち上がりをラッチして、NAND回路113へ図12に示すようにLOW及びHIGHを供給する。データ信号DQの立ち上がりをラッチするNAND回路114-x及び115-xは全て、同様のデータをNAND回路113へ供給する。

【0073】データ信号DQは、信号線S2を遅延素子列により遅延されながら伝播する。従って、NAND回路114-x及び115-xが構成するラッチは、データ信号DQとクロック信号DCLKとの時間差に対応する段より大きいxに対しては、クロック信号DCLKの立ち上がりエッジをラッチする。図12に於ては、NAND回路114-n-1及び115-n-1が構成するラッチと、NAND回路114-n及び115-nが構成するラッチとが、クロック信号DCLKの立ち上がりをラッチして、NAND回路113へ図12に示すようにHIGH及びLOWを供給する。

【0074】NAND回路118、NOR回路119、及びインバータ120乃至122からなる回路部分は、

クロック信号DCLKとデータ信号DQとが両方ともHIGHになると、所定の時間後にHIGHパルスを生成する。このHIGHパルスがゲートとして働く複数のNAND回路113へ供給されて、NAND回路114-1乃至114-nとNAND回路115-1乃至115-nとが構成するラッチ列のデータを、NAND回路11-1乃至111-n及びNAND回路112-1乃至112-nが構成するラッチ列に供給する。

【0075】この結果、NOR回路110-n-2の出力信号Qn-2のみがHIGHとなり、その他の出力信号Q0乃至Qn-3、Qn-1、及びQnは全てLOWとなる。データ信号DQとクロック信号DCLKとの時間差に応じて、NAND回路114-1乃至114-nとNAND回路115-1乃至115-nとが構成するラッチ列に於て、保持するデータの切り替わり点は変化する。切り替わり点は、この時間差が小さいほど左に位置され、時間差が大きいほど右に位置される。従って、データ信号DQとクロック信号DCLKとの時間差に応じて、出力信号Q0乃至Qnに於て唯一HIGHである信号の位置が変化する。

【0076】この信号Q1乃至Qnを、ディレイライン23Cに供給してディレイライン23Cの遅延量を設定する。図13は、ディレイライン23Cの回路図である。図13のディレイライン23Cは、インバータ130、NAND回路131-1乃至131-n、インバータ132-1乃至132-n、NAND回路133-1乃至133-n、及びインバータ134-1乃至134-n-1を含む。ここでインバータ134-1乃至134-n-1以外は、図5のディレイライン23と同一の構成であるので、その動作の詳細については説明を省略する。

【0077】図13のディレイライン23Cに於ては、入力される信号Q1乃至Qnのうちで一つだけHIGHであり、このHIGHである信号の位置に応じて、ディレイライン23を通過するデータ信号DQの遅延量が決定される。ここでインバータ134-1乃至134-n-1は、図13のディレイライン23Cの遅延素子列を、図12のシフトレジスタ21Cの遅延素子列と同一の特性にするためのダミー素子である。このダミー素子によって、図12の遅延素子列で測定されたクロック信号DCLKとデータ信号DQとの時間差に等しい遅延時間を、図13の遅延素子列で実現することが出来る。

【0078】上述のシフトレジスタ21Cとディレイライン23Cとを用いることで、シフトレジスタ21Cによりクロック信号DCLKとデータ信号DQとの時間差を測定し、この時間差に等しい遅延時間をディレイライン23Cに設定することが出来る。これによって、ディレイライン23Cを通過した後のデータ信号DQが、遅延のないクロック信号DCLKと位相が合うように、データ信号DQの位相を調整することが出来る。

【0079】図14は、本発明によるスキー低減回路の第5の実施例を示す構成図である。図14に於て、図1と同一の構成要素は同一の番号で参照され、その説明は省略する。図14のスキー低減回路10Dは、クロック切り替えユニット11Dとスキー低減ユニット12Dを含む。

【0080】クロック切り替えユニット11Dは、バッファ13と遅延切り替えユニット14Dを含み、遅延切り替えユニット14Dは、スイッチ18及び19と可変遅延ユニット20Dを含む。スキー低減のためのキャリブレーション・モードに於ては、バッファ13に入力されたデータ信号同期用のクロック信号DCLKを、スイッチ18を介してスキー低減ユニット12Dに供給する。通常動作モードに於ては、バッファ13に入力されたクロック信号DCLKは、可変遅延ユニット20Dで可変設定可能な時間だけ遅延され、スイッチ19を介してスキー低減ユニット12Dに供給される。キャリブレーション・モードと通常動作モードとの間のモード切り替え、及び通常動作モード時の遅延ユニット20Dの遅延量は、制御信号CTによって制御される。

【0081】可変遅延ユニット20Dの働きは、図6の第2の実施例に於ける複数の遅延ユニット20、24、26、及び28と同一であり、クロック信号DCLKの周波数等の条件に応じて適切なセットアップ時間を設定する。スキー低減ユニット12Dは、バッファ15、位相調整ユニット16D、及びラッチ17を含む。位相調整ユニット16Dは、シフトレジスタ21、位相比較器22D、ディレイライン23、及びFDAユニット140を含む。図14の第5の実施例に於ては、ディレイライン23より更に高い精度で遅延時間を制御可能な高精度遅延調整回路(fine delay adjustor)であるFDAユニット140を用いる。

【0082】上述の実施例のスキー低減回路の精度は、ディレイラインの遅延素子一段当たりの遅延量となり、約200psである。デバイスの動作周波数が速くなると、更に高い精度が必要となってくるので、遅延時間の異なる素子を使ってより高い精度で遅延時間を制御する必要がある。第5の実施例に於ては、FDAユニット140を用いることによって約100psの調整を行う。

【0083】図15は、図14の位相比較器22D及びFDAユニット140の回路構成を示す回路図である。図15の位相比較器22Dは、図4の位相比較器22の出力部分にNOR回路75を付加した以外は、図4の位相比較器22と同一であるのでその説明は省略する。FDAユニット140は、高精度ディレイライン141と高精度位相比較部142を含む。

【0084】高精度ディレイライン141は、遅延素子145及び146、インバータ151乃至153、NOR回路154、及びNAND回路155乃至159を含む。遅延素子145は、NAND回路160及びインバ

ータ161を含み、遅延素子146は、NAND回路162及び163を含む。高精度位相比較部142からの信号a及びbの何れかがHIGHで他方がLOWとなることによって、データ信号DQは遅延素子145或いは146を通り、その経路によって約100psの遅延を調整することが出来る。

【0085】高精度位相比較部142は、NAND回路170、位相比較部143、ラッチ144、及び遅延素子147及び148を含む。位相比較部143は、NAND回路171乃至175、及びインバータ176を含む。ラッチ144は、NAND回路177及び178を含む。遅延素子147は、NAND回路179及び180を含み、遅延素子148は、インバータ181とNAND回路182を含む。

【0086】入力データ信号DQ側に遅延素子146と同一の素子で同一の遅延時間の遅延素子147を設け、クロック信号CLK側に遅延素子145と同一の素子で同一の遅延時間の遅延素子148を設ける。これらの遅延素子147及び148からの出力を位相比較部143で位相比較して、位相比較結果を信号cとしてラッチ144に供給する。このラッチ144は、シフトレジスタ21を介してディレイライン23を制御するために位比較器22DがHIGHパルスを出力すると、信号dによってリセットされる。

【0087】ラッチ144は、上述のように、一方がHIGHであり他方がLOWである信号a及びbを高精度ディレイライン141に供給して、約100psの高精度な遅延量調整を行う。以上の動作によって、ディレイライン23よりも高精度な遅延量調整を行うことが出来る。また本実施例は高精度遅延調整回路を2段にしたが、同様の原理で遅延素子145及び146の差を少なくして、段数を増やすことによって更に高い精度を実現することも可能である。

【0088】図16は、本発明によるスクュー低減回路を半導体記憶装置に適用した場合の概略構成を示す構成図である。図16の半導体記憶装置200は、コマンドバッファ／デコーダ201、モードレジスタ202、クロックバッファ203、アドレスバッファ204、データバッファ205、ワードデコーダ206、コラムデコーダ207、及びメモリコア回路208を含む。

【0089】コマンド信号を受け取るコマンドバッファ／デコーダ201は、コマンドをデコードして、デコード結果に応じて半導体記憶装置200内の各要素を制御する。アドレスバッファ204に入力されるアドレスは、ワードデコーダ206及びコラムデコーダ207でデコードされ、メモリコア回路208の指定されたアドレスがアクセスされる。アクセスされたアドレスに対して、データバッファ205を介してデータ入出力が行われる。

【0090】モードレジスタ202は、モード書き込み

コマンドに対応して、アドレスバッファ204からの信号をモード指定データとして格納する。モードレジスタ202が格納するデータに応じて、例えば、メモリコア回路208のセルフリフレッシュ動作を行うセルフリフレッシュ・モード、各要素がパワーダウン状態にあるパワーダウン・モード等を指定してよい。

【0091】クロックバッファ203は、本発明によるスクュー低減回路10のクロック切り替えユニット11を含む。クロックバッファ203は、モードレジスタ202がキャリブレーション動作を指定するときには、コマンドバッファ／デコーダ201、アドレスバッファ204、及びデータバッファ205にクロック信号CLKを供給する。モードレジスタ202が通常動作を指定するときには、クロックバッファ203は、セットアップ分だけ遅延されたクロック信号CLKを、コマンドバッファ／デコーダ201、アドレスバッファ204、及びデータバッファ205に供給する。またモードレジスタ202に格納される動作周波数の情報に基づいて、セットアップ分の遅延量を設定するようにしてもよい。

【0092】コマンドバッファ／デコーダ201、アドレスバッファ204、及びデータバッファ205は、本発明によるスクュー低減回路10のスクュー低減ユニット12を含む。キャリブレーション動作時には、供給されたクロック信号CLKと位相が合うように、入力信号の位相を調整する。通常動作時には、調整された位相の入力信号を、セットアップ分だけ遅延されたクロック信号CLKを同期信号として読み込む。

【0093】ここでキャリブレーション動作は、キャリブレーション・モードを設定して行ってもよい。ここでキャリブレーション・モードは、例えば、所定の期間毎に定期的に設定するように構成してよい。或いは、キャリブレーション動作は、電源投入直後に行ってもよい。或いは、セルフリフレッシュ・モード時に行ってもよい。或いは、パワーダウン・モードから回復した直後に行うように設定してもよい。当たり前であるが、キャリブレーション動作のタイミングは設計時に於ける設計者の選択事項或いは使用時に於ける使用者の選択事項であって、半導体記憶装置の他の動作との関連を考慮して自由に設定すればよい。

【0094】以上、本発明は実施例に基づいて説明されたが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で変形可能なものである。

【0095】

【発明の効果】請求項1乃至19の発明に於ては、キャリブレーション・モードである第1のモードに於てクロック信号と入力信号との位相を合わせ、通常動作モードである第2のモードに於ては適切なセットアップ分だけ遅延したクロック信号を用いて入力信号をラッチに読み込むことが出来る。

【0096】この際、キャリブレーション・パターンのうちで最もタイミングの遅いキャリブレーション・パターンに合わせて入力信号の位相を調整する場合には、通常動作モード時にタイミングの遅い信号が入力されても問題なくデータ読み込みを行うことが出来る。またキャリブレーション・パターンのうちで平均的なタイミングのキャリブレーション・パターンに合わせて入力信号の位相を調整する場合には、通常動作モード時に1/4サイクルのセットアップ時間を探ることで、データ切り替わりの中心でデータ読み込みを行うことが出来る。

【0097】またクロック信号と入力信号との位相差を測定してその位相差に対応する遅延量をディレイラインに設定する構成とすれば、キャリブレーション・パターンを一回だけ入力すれば十分である。これによりクロック信号と入力信号間のスキーを低減して、信頼性のある入力信号読み込みを行うことが出来る。

【0098】請求項20乃至24の発明に於ては、半導体記憶装置に於て、適切なタイミングでキャリブレーションを実行することにより、クロック信号と入力信号間のスキーを低減して、信頼性のある入力信号読み込みを行うことが出来る。

【図面の簡単な説明】

【図1】本発明によるスキー低減回路の第1の実施例の構成図である。

【図2】図1の位相調整ユニットによる位相調整を説明するためのタイミングチャートである。

【図3】図1の位相調整ユニットのシフトレジスタの回路構成を示す回路図である。

【図4】図1の位相調整ユニットの位相比較器の回路構成を示す回路図である。

【図5】図1の位相調整ユニットのディレイラインの回路構成を示す回路図である。

【図6】本発明によるスキー低減回路の第2の実施例の構成図である。

【図7】本発明によるスキー低減回路の第3の実施例の構成図である。

【図8】図7のクロック切り替えユニットの1/4 DLLユニットの構成を示す構成図である。

【図9】図7のシフトレジスタの回路図である。

【図10】図7の位相比較器の回路構成を示す回路図である。

【図11】本発明によるスキー低減回路の第4の実施例の構成図である。

【図12】図11のシフトレジスタの回路構成を示す回路図である。

【図13】図11のディレイラインの回路図である。

【図14】本発明によるスキー低減回路の第5の実施例の構成図である。

【図15】図14の位相比較器及びF DAユニットの回路構成を示す回路図である。

【図16】本発明によるスキー低減回路を半導体記憶装置に適用した場合の概略構成を示す構成図である。

【符号の説明】

10、10A、10B、10C、10D スキー低減回路

11、11A、11B、11D クロック切り替えユニット

12、12B、12C、12D スキー低減ユニット

13 バッファ

14、14A、14D 遅延切り替えユニット

15 バッファ

16、16B、16C、16D 位相調整ユニット

17 ラッチ

18、19、25、27、29 スイッチ

20、20D、24、26、28 遅延ユニット

21、21B、21C シフトレジスタ

22、22B、22D 位相比較器

23、23C ディレイライン

90 1/4 DLLユニット

91 分周器

92 位相比較器

93 シフトレジスタ

94、95、96、97、98 ディレイライン

140 F DAユニット

141 高精度ディレイライン

142 高精度位相比較部

200 半導体記憶装置

201 コマンドバッファ/デコーダ

202 モードレジスタ

203 クロックバッファ

204 アドレスバッファ

205 データバッファ

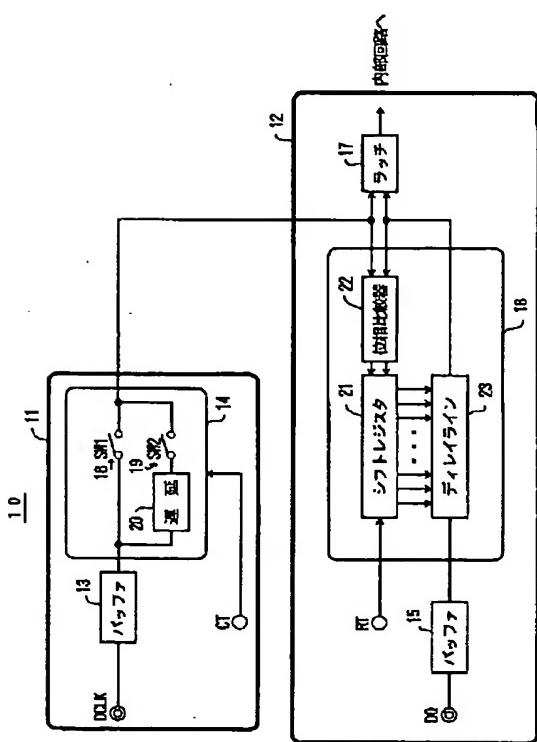
206 ワードデコーダ

207 コラムデコーダ

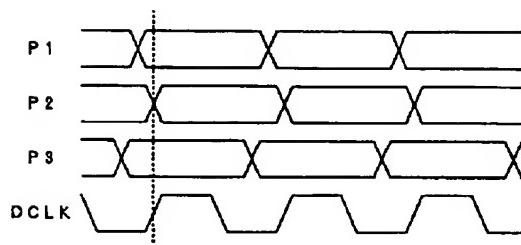
208 メモリコア回路

【図1】

本発明によるスキー低減回路の第1の実施例の構成図

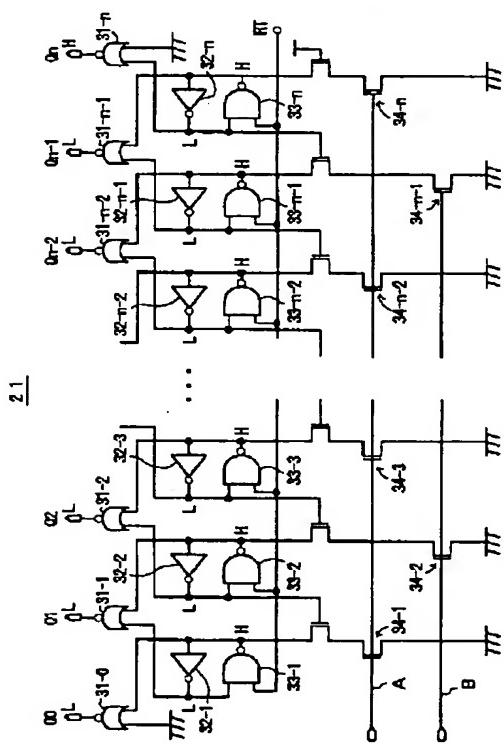


【図2】

図1の位相調整ユニットによる位相調整
を説明するためのタイミングチャート

【図3】

図1の位相調整ユニットのシフトレジスタの回路構成を示す回路図



【図4】

〔圖5〕

図1の位相調整ユニットの位相比較器の回路構成を示す回路図

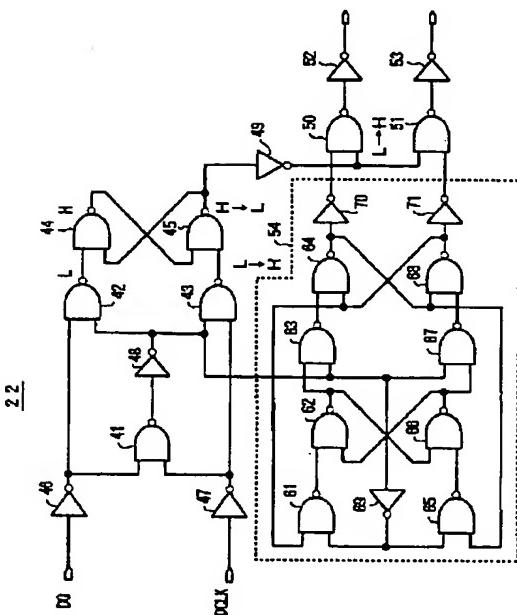
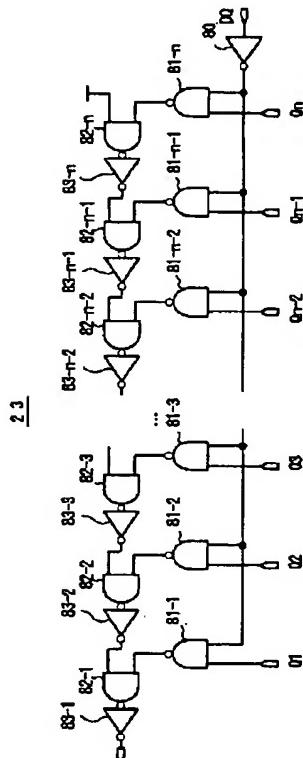
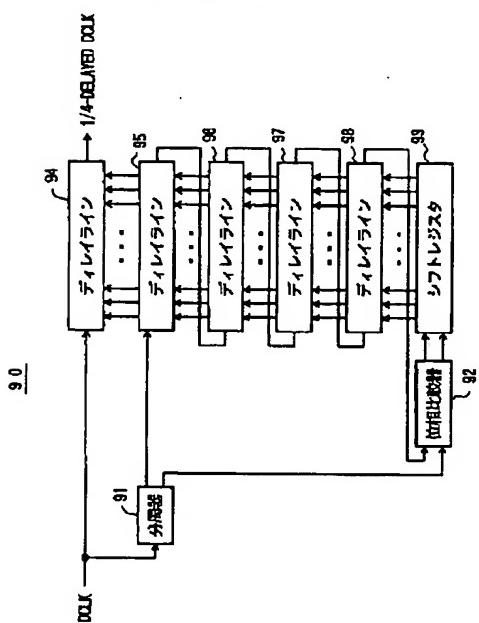


図1の位相調整ユニットのディレイラインの回路構成を示す回路図

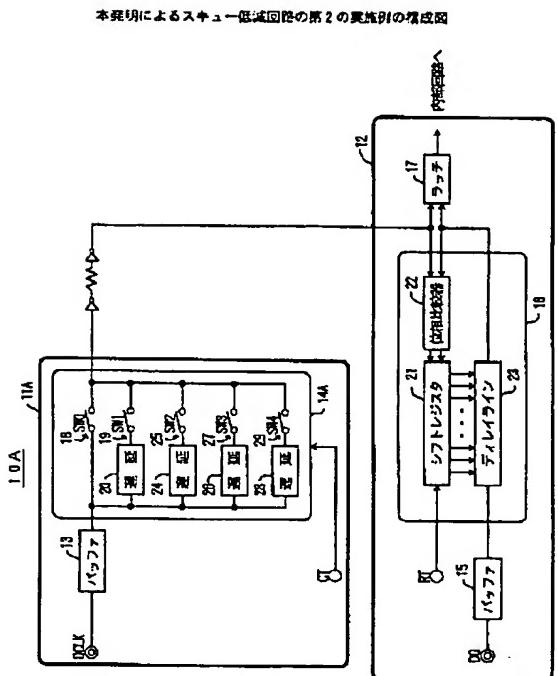


〔圖8〕

図7のクロック切り替えユニットの1/4 DLL
ユニットの構成を示す構成図



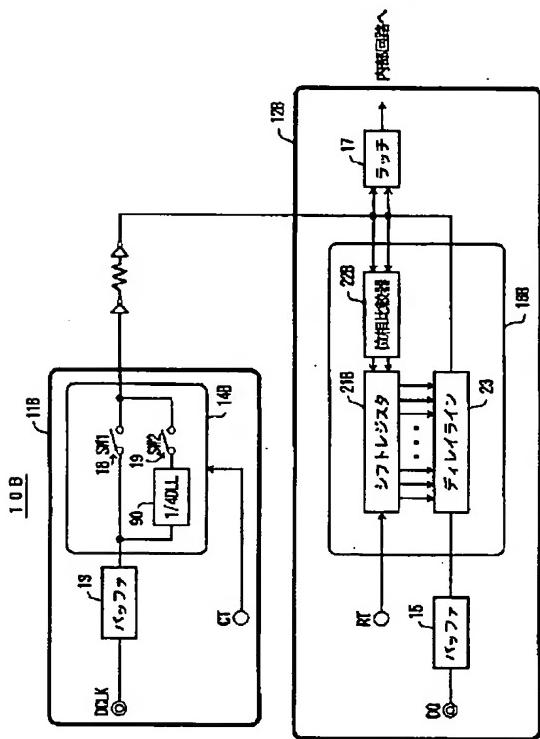
【図6】



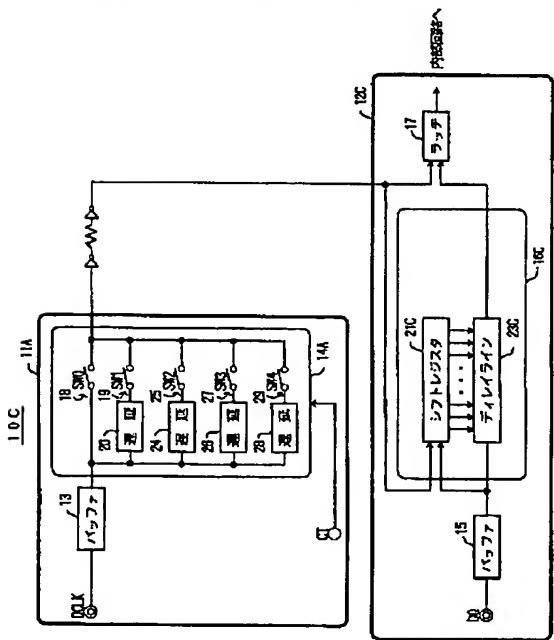
【図11】

【図7】

本発明によるスキューホン回路の第3の実施例の構成図

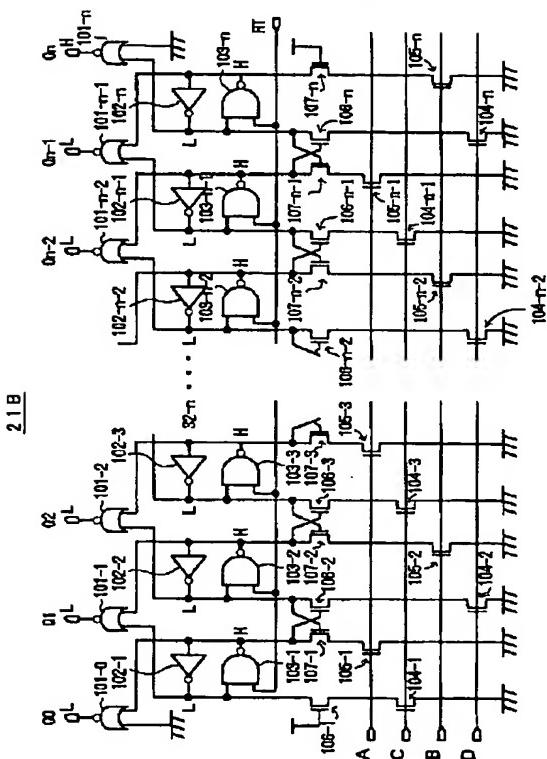


本発明によるスキューホン回路の第4の実施例の構成図



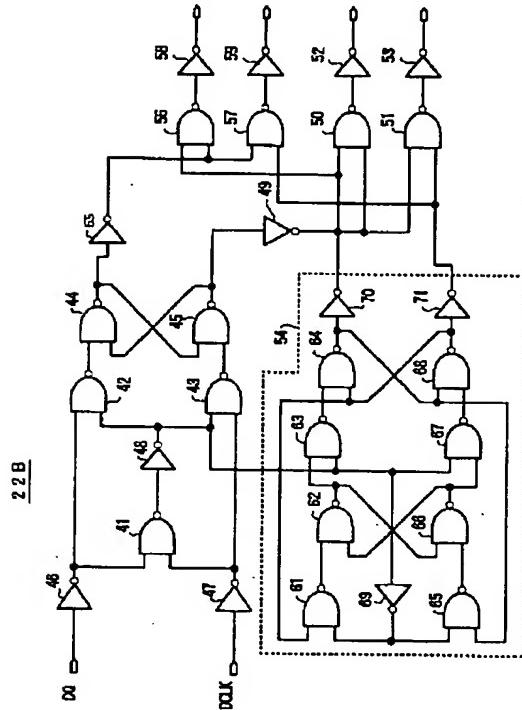
〔図9〕

図7のシフトレジスタの回路図



【图10】

図7の位相比較器の回路構成を示す回路図



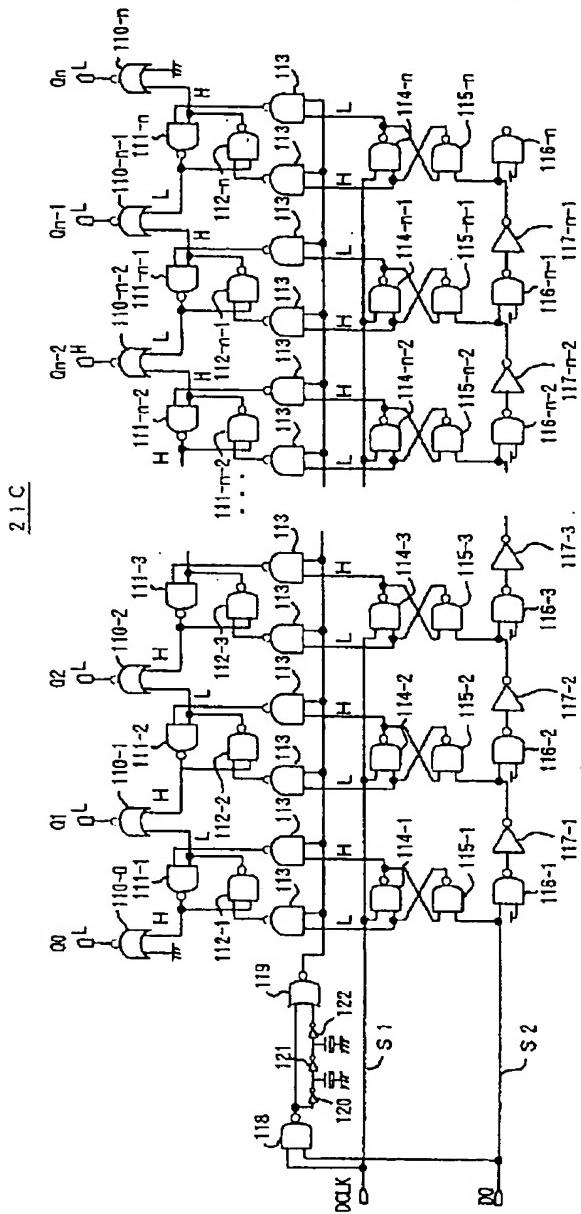
【图16】

本発明によるスクュー低減回路を半導体記憶装置に適用した場合の概略構成を示す構成図

This block diagram illustrates a memory system architecture. It features a central 'メモリコア回路' (Memory Core Circuit) connected to three main peripheral blocks: 'アドレスバッファ' (Address Buffer), 'ワードデコード' (Word Decoder), and 'データバッファ' (Data Buffer). The 'アドレスバッファ' receives an 'アドレス信号' (Address Signal) and connects to the memory core via a bus labeled '203'. The 'ワードデコード' receives the same address signal and connects to the memory core via a bus labeled '204'. The 'データバッファ' also receives the address signal and connects to the memory core via a bus labeled '205'. On the left side, a 'コマンド信号' (Command Signal) enters through bus '200' and is processed by a '37/16ビットIF' block (labeled '201'). This block outputs signals to the 'アドレスバッファ' (bus 203), the 'ワードデコード' (bus 204), and the 'データバッファ' (bus 205). Additionally, the '37/16ビットIF' block receives a 'CLK' signal. A feedback path from the 'データバッファ' (bus 205) goes back to the '37/16ビットIF' block. On the right side, the 'アドレスバッファ' (bus 203) and the 'ワードデコード' (bus 204) both feed into a 'コラムデコーダ' (Column Decoder) block (labeled '206'). The 'コラムデコーダ' then provides control signals to the 'メモリコア回路'. Finally, the 'メモリコア回路' outputs data to the 'データバッファ' (bus 205).

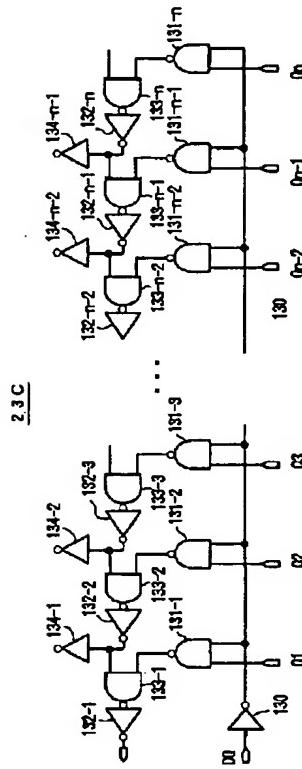
【図12】

図11のシフトレジスタの回路構成を示す回路図



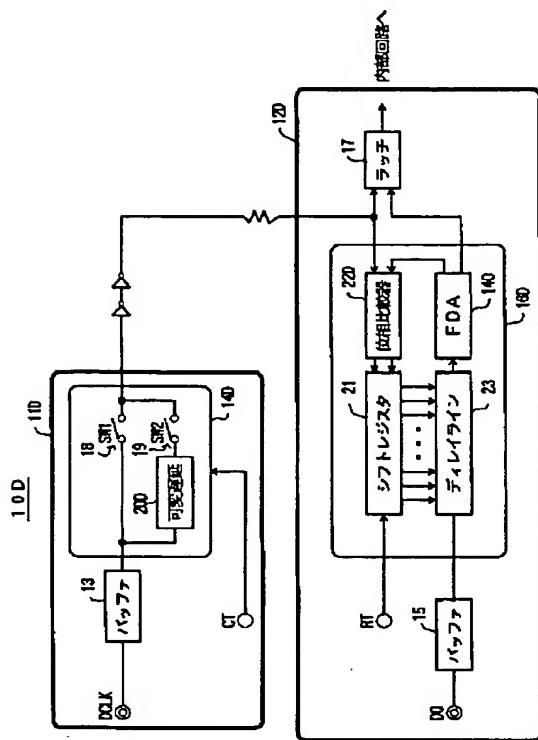
【図13】

図11のディレイラインの回路図



〔図14〕

本発明によるスキューリング回路の第5の実施例の構成図



【図15】

図14の位相比較器及びFDAユニットの回路構成を示す回路図

